

PATENT ABSTRACTS OF JAPAN

AA

(11)Publication number : 2001-016228

(43)Date of publication of application : 19.01.2001

(51)Int.Cl.

H04L 12/28

H04H 1/00

H04J 3/00

H04N 7/08

H04N 7/081

(21)Application number : 2000-141819

(71)Applicant : CSELT SPA (CENT STUD E LAB
TELECOMUN)
ITALTEL SPA
SIEMENS INFORMATION &
COMMUNICATION NETWORKS SPA

(22)Date of filing : 15.05.2000

(72)Inventor : MONTANARO ACHILLE
MORI LUIGI
PILATI LUCIANO
TUROLLA MAURA

(30)Priority

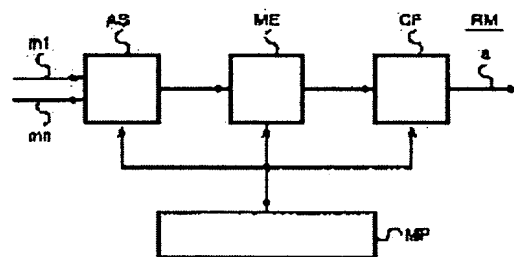
Priority number : 99TO 394 Priority date : 13.05.1999 Priority country : IT

(54) RE-MULTIPLIER FOR CODED AUDIO VIDEO STREAM

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a multiplexer that transfers an MPEG multi-program transfer stream to an ATM virtual channel and multiplexes the virtual channel on a virtual path.

SOLUTION: A syntax analysis section AS receives a plurality of streams and separates data packets in each stream from service packets. The data packet is directly transferred to a means to generate an output stream, that is, an output stream generator CF and also sent to a processing/controller MP. The processing/controller MP conducts processing and especially updates service information and returns a synthesized output stream. The output stream generator CF generates a single program output stream or a multi-program stream at a frequency band lower than that of the input stream and sends it to a service user. The output stream is obtained by beginning from the packet stored in a temporal storage means that is a memory device ME and the service packet that is processed and set to the virtual ATM channel.



LEGAL STATUS

[Date of request for examination] 15.05.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]	3401766
[Date of registration]	28.02.2003
[Number of appeal against examiner's decision of rejection]	
[Date of requesting appeal against examiner's decision of rejection]	
[Date of extinction of right]	

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-16228

(P2001-16228A)

(43)公開日 平成13年1月19日(2001.1.19)

(51)Int.Cl.⁷

識別記号

F I

テーマコード(参考)

H 0 4 L 12/28

H 0 4 L 11/20

D

H 0 4 H 1/00

H 0 4 H 1/00

A

H 0 4 J 3/00

H 0 4 J 3/00

M

H 0 4 N 7/08

H 0 4 N 7/08

Z

7/081

審査請求 有 請求項の数10 O L (全 18 頁)

(21)出願番号 特願2000-141819(P2000-141819)

(22)出願日 平成12年5月15日(2000.5.15)

(31)優先権主張番号 TO99A000394

(32)優先日 平成11年5月13日(1999.5.13)

(33)優先権主張国 イタリア (I T)

(71)出願人 591065103

クセルトーセントロ・ステュディ・エ・ラ

ボラトリ・テレコムニカチオーニ・エツ

セ・ビー・アー

CSELT-CENTRO STUDI

E LABORATORI TELECO

MUNICAZIONI SOCIETA

PER AZIONI

イタリア国 トリノ、10148 ヴィア・グ

グリエルモ・レイス・ロモリ 274

(74)代理人 100064355

弁理士 川原田 一穂

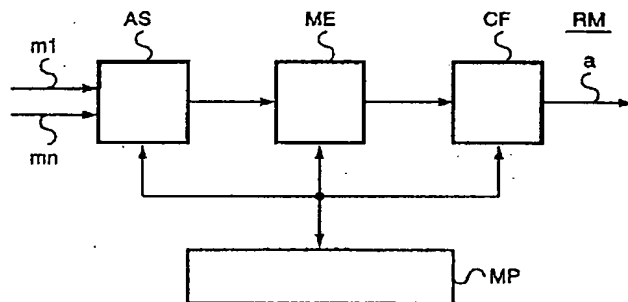
最終頁に続く

(54)【発明の名称】 符号化された音声映像ストリームの再多重化装置

(57)【要約】 (修正有)

【課題】 MPEGマルチプログラム転送ストリームをATM仮想チャンネルに転送し、かつ、仮想チャンネルを仮想経路に多重化できる装置を提供する。

【解決手段】 構文解析部ASは、複数のストリームを受信し、各ストリーム内のデータパケットをサービスパケットから分離する。データパケットは、出力ストリームを発生するための手段出力ストリーム発生装置CFに直接転送されると共に処理・制御装置MPに伝送される。処理・制御装置MPは処理を行うが、特にサービス情報を更新して出力ストリームの合成を返す。出力ストリーム発生手段CFは、入力ストリームより低い帯域にて単一プログラム出力ストリーム又はマルチプログラムストリームを発生してサービスユーザーに送る。出力ストリームは、一時記憶手段メモリー装置MEに記憶されたパケット、及び処理され且つ仮想ATMチャンネルに入れられたサービスパケットから開始して得られる。



【特許請求の範囲】

【請求項1】 交換デジタルビデオ放送システム内で伝送される符号化された音声映像ストリームを再多重化するための装置であって、上記各ストリームは複数のプログラムを含み（すなわち、マルチプログラム転送ストリーム）、プログラムの情報はパケットにて伝送され、各パケットは、パケット識別子とペイロードを含み、パケット識別子は、パケットが関係するプログラムの識別に関する情報を与え、ペイロードは、プログラムデータ又はストリーム構造のサービス情報を含み、上記装置は、

（ア）複数のストリームを受信し、各フローにおいて、出力ストリーム発生手段（CF；AA，MC，TU）に直接送ることができるパケット（以下「データパケット」という。）を、特にサービス情報を更新して出力ストリームを構成すべく制御装置（MP）に送られて処理されなければならないパケット（以下「サービスパケット」という。）から分離する構文解析・受信手段（AS；FL1…FLn，MS1…MSn）、（イ）各入力ストリームに対して別々にデータパケットを一時記憶するための一時メモリ手段（ME）、（ウ）上記一時メモリ手段（ME）に記憶されたパケット及び処理されたサービスパケットを用いて得られる出力ストリームを発生してユーザーに与える出力ストリーム発生手段（CF；AA，MA，TU）であって、これらの出力ストリームは入力ストリームより小さい帯域の単一又はマルチプログラムストリームである、上記出力ストリーム発生手段（CF；AA，MA，TU）、（エ）構文解析・受信手段（AS；FL1…FLn，MS1…MSn）からサービスパケットを受け取り、マルチプログラムストリームを作る個々のストリームを識別し、サービス情報の更新を行い、異なるユーザーへの単一又はマルチプログラムストリームの作成を可能にするように一時メモリ手段（ME）と出力ストリーム発生手段（CF；AA，MC，TU）を駆動する前記制御装置（MP）を含み、

（1）前記出力ストリーム発生手段（CF；AA，MA，TU）は、同じプログラム又はプログラム群に係るパケットを1以上の仮想チャンネルに關係するATMセルに移すこと、及び、各経路が同じ入力ストリームのプログラムを含むように複数の経路に上記仮想チャンネルを多重化することにより、ATMストリームを作成し、また、ATMストリームの転送ラインで利用可能な帯域を越えないプログラム可能な第1値に各仮想チャンネルのピーク帯域を制限すべく異なる仮想チャンネルに割り当てられたパケットを読み出すこと、及び各仮想経路に伝送される帯域全体が経路で利用可能なピーク帯域を越えないように仮想チャンネルを仮想経路に統計的に多重化することにより、ATMストリームの作成中に各ATMストリームの帯域に対して2段階の制御を行い、

（2）上記一時メモリ手段（ME）は、プログラム又はプログラム群に対する個々の論理待ち行列にデータパケ

ットを記憶し、該プログラムはポインターの連結リストにより管理され、各ポインターは、パケットが入れられるべき仮想チャンネルの数と同数だけ複製されるパケットを含んだメモリ領域を識別することを特徴とする上記装置。

【請求項2】 前記構文解析・受信手段（AS；FL1…FLn，MS1…MSn）が、各入力ストリームに対して1つ対応する第1メモリ装置群（MR1…MRn）を含み、第1メモリ装置群（MR1…MRn）は、それぞれ各ストリームに対して第1制御ワードを記憶し、第1制御ワードは、パケット有効性に関する情報を含んだ第1フィールドと、有効パケットに対してアクティブであり且つ各データパケットに対してそれが入れられるべき論理待ち行列を指示する第2フィールドを含み、前記第1制御ワードは、制御装置（MP）に与えられるパケットに含まれるサービス情報を分析することにより制御装置（MP）により作られかつ更新され、また、上記構文解析・受信手段（AS；FL1…FLn，MS1…MSn）に属する入力インターフェース（FL1…FLn）により読み出され、各々は入力ストリームの一つに関連し、よって、前記第1メモリ（MR1…MRn）の一つに関連することを特徴とする請求項1記載の装置。

【請求項3】 上記一時メモリ手段（ME）は、各入力ストリームに対するデータメモリ（MD1…MDn）と、各データメモリ（MD1…MDn）に対するメモリコントローラ（CM1…CMn）を含み、該メモリコントローラ（CM1…CMn）は、連結したポインターリストの管理により種々の論理待ち行列間の記憶容量を動的に配分し、かつ、（1）それぞれのデータメモリ（MD1…MDn）の開放領域に書き込むためのポインターを記憶し、かつ、出力ストリーム発生手段（CF；AA，MC，TU）から受け取った情報に基づいて第1開放ポインターの指示を出す第2メモリ装置（FF）、（2）入力インターフェース（FL1…FLn）から第3制御ワードフィールドを受け取り、第2メモリ（FF）からポインターを受け取り、データパケットが入れられるべき待ち行列の数と同数だけポインターとその関連の書き込み命令を複製する複製装置（UR）、（3）上記複製装置URからポインターを受け取って記憶し、出力ストリーム発生手段（CF）によるリクエストの際に入力にてそれらを出す論理待ち行列管理装置（QM）、（4）ポインターに関連するコード数についての情報に係るポインターの識別子を上記複製装置（UR）から受け取って記憶し、所与のポインターにより識別されるデータメモリ（MD1…MDn）を読み出したことのメッセージを出力ストリーム発生手段（CF；AA，MC，TU）から受け取るポインター開放制御装置（FP）であって、これらの読み出しメッセージをカウントし、前記所与のポインターにより識別されるデータメモリ（MD1…MDn）において完了した読み出しの数が

ポインターが使用されるべき待ち行列の数に等しくなったならば、開放ポインターを出す上記ポインター開放制御装置 (F P) を含むことを特徴とする請求項 1 又は 2 に記載の装置。

【請求項 4】 上記出力ストリーム発生手段 (C F ; A A, M C, T U) が、(1) 出力仮想経路と同数のメモリ領域に分割され、前記制御装置 (M P) により与えられる更新されたサービスパケットを一時的に記憶する第 3 メモリ装置 (T U) であって、上記一時メモリ手段

(M E) における論理待ち行列と同数の場所を各領域に対して含む、上記第 3 メモリ装置 (T U)、(2) 第 2 制御ワードのリストを記憶する第 4 メモリ装置 (M C) であって、各ワードは、アクティブな仮想チャンネルに関連し、入力ストリーム識別子と全ての A T M セル時間にて与えられるべきパケットの論理待ち行列を含み、所与の仮想チャンネルに係するワードは、前記プログラム可能な第 1 値より高くないピーク帯域を所与のリスト走査レートにて発生するような繰り返し周波数にてリストに入れる、上記第 4 メモリ装置 (M C)、(3) 上記第 4 メモリ装置 (M C) に含まれる情報に基づいて、前記第 3 メモリ装置 (T U) からの更新されたサービス情報を含むデータサービスパケットを上記データメモリ (M D 1 … M D n) から読み出し、A T M セル群にパケット対のペイロードを入れ、ヘッダーを各 A T M セルに関連付け、トレーラーを各セル群に関連付けるパケットセグメンテーション装置 (A A) を含むことを特徴とする請求項 1 ～ 3 のいずれか一項に記載の装置。

【請求項 5】 上記パケットセグメンテーション装置 (A A) が、(1) 出力ストリーム発生手段 (C F) とメモリコントローラ (C M 1 … C M n) 間のダイアログを管理するための第 1 論理ネットワーク (G D) であって、上記第 2 制御ワードを第 4 メモリ装置 (M C) から受け取り、読み出されるべき待ち行列に対応するポインターを与えること、及び各仮想出力経路に対して第 3 制御ワードのリストを構築することを論理待ち行列管理装置 (Q M) にリクエストし、第 3 制御ワードの各々は、対応する第 2 制御ワード、該第 2 制御ワードがサービスパケットとデータパケットのどちらに関連しているかを示す情報、データパケットの場合にはポインターを含み、また、A T M セルの場所は、1 対のパケットが入れられるセル群内に準備される、上記第 1 論理ネットワーク (G D)、(2) 第 5 メモリ装置群 (P Q) であって、その各々は上記第 3 制御ワードのリストを記憶する第 5 メモリ装置群 (P Q)、(3) パケットに対するリクエストを管理するための第 3 論理ネットワーク (D R) であって、前記第 3 制御ワードのリストを受け取り、前記第 3 制御ワードの各々に含まれる情報に基づいて、前記第 3 制御ワードのソースリストに対応する上記データメモリ (M D 1 … M D n) の読み出しアドレス又は第 3 メモリ装置 (T U) の読み出しアドレスのどちら

かを発生して送出し、1 対のパケットを読み出した後にデータメモリ領域に対する読み出しが完了したことの信号を出す、上記第 3 論理ネットワーク (D R) を含むことを特徴とする請求項 4 記載の装置。

【請求項 6】 上記第 5 メモリ装置 (P Q) が前記制御装置 (M P) により駆動され、各リスト内の第 3 制御ワードの読み出し周波数を設定することを特徴とする請求項 5 記載の装置。

【請求項 7】 パケットが装置 (R M) を通過する可変時間を考慮するために、プログラム自身により事前設定されたパケットに存在する各プログラムのタイミング情報の値を更新するための手段 (C R 1、C R 2) を含み、該更新手段 (C R 1、C R 2) は、システムクロック信号と同じ周波数を有しかつ装置 (R M) 内にて内部発振器 (O L) により発生されるクロック信号を使用して、上記情報を含むパケットの装置通過時間を計算し、また、受信したパケットに含まれる前記タイミング情報の値に前記時間を加え、パケットを装置 (R M) の出力に送る前に総計結果をパケットに入れることを特徴とする請求項 1 ～ 6 のいずれか一項に記載の装置。

【請求項 8】 前記更新手段 (C R 1、C R 2) が、入力インターフェース (F L 1 … F L n) に属する第 1 装置 (C R 1) とパケットセグメンテーション手段 (A A) に属する第 2 装置 (C R 2) を含み、第 1 装置 (C R 1) は、受信したパケットに含まれる値とこのパケットの到着時間の値との差により表される前記タイミング情報の予備処理値を計算し、かつ、このパケットが前記インターフェース中を進む間、受信したパケットに含まれる値に対してそれを置換し、また、第 2 装置 (C R 2) は、同じセグメンテーション手段内を進む際にパケット内に含まれる予備設定値を、パケット出力時間の値と予備設定された値の総和により表される更新された値と置換し、入力及び出力時間の値は、上記ローカル発振器の信号を用いることにより第 1 及び第 2 装置 (C R 1、C R 2) それぞれのカウンタにより計算されることを特徴とする請求項 7 記載の装置。

【請求項 9】 タイミング情報が、前記システムクロック信号の周波数にて送出される第 1 部分と、前記システムクロック信号の周波数の約数の周波数にて送出される第 2 部分とから構成され、前記第 1 及び第 2 装置 (C R 1、C R 2) が、前記情報を含むパケットの入力及び出力時間の値の第 1 及び第 2 部分を計算し、かつ、予備処理値の第 1 部分及び正しい値の第 2 部分をそれぞれ結果として発生することを特徴とする請求項 8 記載の装置。

【請求項 10】 前記入力インターフェース (F L 1 … F L n) が、前記転送ストリームの代わりとして、前記制御装置 (M P) により発生されたテストストリームを受け取る手段 (M X 2) を含み、該手段 (M X 2) も、前記メモリ手段 (M E) と前記出力ストリーム発生装置

を介して、又は転送ストリームサービスパケットを一時的に記憶するバッファメモリ (MT) を介してテストストリームパケットを制御装置 (MP) に送ることを特徴とする請求項 1~9 のいずれか一項に記載の装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、符号化された音声映像ストリームを転送し放送するためのシステムに係る。特に、本発明は、これらのストリームを再多重化するための装置、すなわち、複数のプログラムを含んだストリームから特定のプログラムに係る情報を抽出し、ユーザーへの伝送を考慮して出力ストリームにそれらを再編成する装置に関する。

【0002】

【従来の技術】益々多くの数の符号化された音声映像プログラム (特にテレビプログラム) がケーブル又は衛星により伝送されているのが知られている。このようなプログラムを転送するための技術は、国際規格に従い、そのなかで ETS 300 4xx ETS I シリーズの規格 (「テレビ、音声及びデータサービスのためのデジタル放送システム…」) が例として挙げられる。これらの規格は、MPEG 2 規格として公知の ITU-T H22 2 勧告すなわち ISO/IEC 13818 規格「情報技術—動画及び関連の音声情報の一般コーディング」により設定された手順に従って符号化及び多重化された特定数のプログラムを同じケーブル又は同じ衛星チャンネル上にて伝送することに関する。この規格は、符号化された単一プログラム転送ストリーム (SPTS: Single Program Transport Stream) と多重化されたマルチプログラム転送ストリーム (MPTS: Multiprogram Transport Stream) の両方に対する構文を定める。この規格は、ストリームの内容に関する情報、特にプログラム特定情報/システム情報 (PSI/SI: Program Specific Information/System Information) のテーブルを転送するためのルールも規定する。転送ストリームは、188 バイトの固定長パケットから成る。該パケットは、ヘッダー及びデータフィールドすなわちペイロードを含む。該ペイロードは、基本音声映像又はテーブルデータのどちらかを含み得る。ヘッダーは、パケット識別子 (PID: Packet Identifier) を含み、その値は、プログラムの持続時間全体に対して単一の基本ストリームに一義的に割り当てられる。特定の PID 値は、特定のプログラム関連テーブル (PAT: Program Association Table) を運ぶパケットを識別し、該プログラム関連テーブル (PAT) は、プログラムマップテーブル (PMT: Program Map Table) を識別するのに必要な情報を含む。該プログラムマップテーブル (PMT) は、単一プログラム内部の単一基本ストリームに関する情報を含む。パケットのヘッダーは、プログラムクロック基準 (PCR: Program Clock Reference) を含めて、周期的に伝送される同期信号

をも含む。このプログラムクロック基準 (PCR) は、本発明において興味ある役割を演じる。

【0003】従来のケーブル又は衛星による放送では、マルチプログラムのストリーム全体がユーザーの家に到達し、ユーザーが特別なセットトップボックス (set top box) を用いてプログラムを選択する。音声映像のビジネスも通信事業者にとっては興味あるものと成ってきている。というのは、一方では光ファイバーに基づいた長距離ラインが複数のマルチプログラムストリームを転送するのに必要な能力を示し、他方においてユーザーライン上での伝送のための xDSL 技術 (例えば ADSL 技術に対する ITU-T G. 992 規格を参照) の使用は、単一音声プログラム又は限定数のプログラムをユーザーに提供するのに利用できる数十 Mb/s までの範囲の能力を示しているからである。インターネットサイト www.davic.org で参照できる DAVIC 1.1 規格は、交換デジタルビデオ放送 (SDVB: Switched Digital Video Broadcasting) として知られている可能なサービスの特徴を定める。交換デジタルビデオ放送 (SDVB) は、通信事業者が固定されたウェブのインフラストラクチャーを用いてユーザーに提供できる。

【0004】この種のサービスにおけるプログラムの選択は、ユーザー装置に割り当てることができず、例えばアクセスウェブノードのような中央装置が行わなければならない。中央装置は、ユーザーの選択コマンドを受信し、マルチプログラム転送ストリーム内のプログラム基本ストリームを識別して抽出し、それらを単一のプログラムストリームに圧縮し、圧縮したものと適切なユーザーが復号化するのに必要なサービス情報とを関連付け、それをユーザーに送ることができる。これらの操作は、ウェブの 1 又は複数の地点にて放送制御装置 (BCU: Broadcast Control Unit) により行われる。放送制御装置 (BCU) は、ユーザーコマンドを受信し、複製装置 (RU: Replication Unit) と共に処理する。複製装置 (RU) は、マルチプログラムストリームを受信し、それらを個々のユーザーに分配する。マルチプログラムストリームを単一プログラムのストリーム又はより一般的にはより小さい容量のストリームに分割する操作は、再多重化 (remultiplexing) として公知である。このような機能の特徴として有し、必要ならば独立したプログラムを転送ストリームに多重化し又はプログラムを転送ストリームに付加する装置に関しては、文献があり、市販されてもいる。米国特許第 5, 835, 493 号が例として挙げられるが、これはオランダ、エイントホーフェンのフィリップ社製の TokenMux 装置の転送ストリームの再多重化における問題を詳細に記載している。

【0005】さらに、交換ビデオ伝送サービスを行うには、サービス提供者からの MPEG 転送ストリームをウェブ上で採用されている転送技術に適応化させる必要がある。転送において便利で自然に近い選択は、各プログ

ラムを仮想チャンネルに挿入してATM技術を用いることである。特に、この選択は、ITU-T勧告1.363で定められた所謂ATM適応層(ATM Adaptation Layer)レベルAAL5を使用するべく為された。プログラムパケットをATM仮想チャンネルに転送する際、これらのラインの各々における各チャンネルのピーク帯域がライン自身で利用可能な帯域(ADSL接続が使用されるならば一般に8Mbit/s)を越えないことを調べる必要が生じる。このために、シェーピング(shaping)又はレベリング(leveling)として知られている出力ストリームをトラフィックピークから離れたレベルに制御することが必要となる。

【0006】

【発明が解決しようとする課題】従来の再多重化装置は、MPEG転送ストリームをATM仮想チャンネルに直接再多重化しない。よって、本発明の目的は、上記したような帯域を制御する必要性を考慮しつつ、MPEGマルチプログラム転送ストリームをATM仮想チャンネルに転送し、かつ、仮想チャンネルを仮想経路(virtual itinerary)に多重化できる装置を提供することである。

【0007】

【課題を解決するための手段】本発明の特徴は、特許請求の範囲に明瞭に示される。

【0008】

【発明の実施の形態】さらに明瞭にするために、添付図面を参照する。図1において、CS1...CSnは、所定数のサービスセンターを示す。サービスセンターは、MPEG2マルチプログラム転送ストリームを供給できる。これらのストリームは、サービスセンターと通信ウェブRTを接続する同軸又は光ファイバーケーブルの配線ラインm1...mn上を伝送される。このウェブでは、例えばアクセスウェブ終端レベル又はより高い階層レベルの伝送ノードにて、ラインm1...mnを本発明の範囲である再多重化器(remultiplexer)RMが受け入れる。再多重化器RMは、種々のユーザーU1...Uxに興味のあるプログラム全てについて転送ストリームからの抽出、ATM仮想チャンネルへのプログラム転送、及び仮想経路への仮想チャンネルの多重化に係る操作全てを行う。再多重化装置RMは、図中の中央にて複製装置RU(replication unit)と伝送制御装置BCUに対峙して示され、RAで示されるATM転送ウェブにより複製装置RUに接続される。図中、伝送制御装置BCUは、そのうちの1つのみが示されている。プログラムは、複製装置RUからユーザー復号器U1...Uxに送られる。

【0009】特に、複製装置RMは、受信した各々のマルチプログラムストリームに対して以下の操作(1)~(3)を行わなければならない。

(1) ストリームに含まれるプログラムを識別すること。

(2) プログラムを個々の単一ストリームに分離すること、及び/又はプログラム基準時間PCR(program time reference)を再計算し書き込みして上記ストリームをより小さい帯域のマルチプログラムストリームに再編成すること、及び出力ストリームの合成を返すべく適宜更新された入力ストリーム内で転送される情報テーブルを複製すること。

(3) 国際規格が要求するようなMPEGパケットを転送することにより、上述のように得られた各フローを同じ仮想経路内の別のATM仮想チャンネルに伝送すること。冒頭で述べたように、この工程中の各仮想チャンネルのピーク帯域は、配線ウェブの最後の部分において転送されるユーザーラインの容量を越えてはならない。加えて、仮想チャンネルが挿入される仮想経路に転送される帯域全体が経路自身で利用可能なピーク帯域を越えないことを保証するためには、統計的な仮想チャンネル多重化も必要とされる。

【0010】再多重化装置RMの論理構造は、図2に示されるようにできる。この装置は、MPEG2ストリームの構文解析部ASを含む。構文解析部ASは、各ストリームに対し、処理されない情報(一般に基本的な音声及び映像ストリーム並びにプライベートデータ)を再処理されるべき情報(特に上述のテーブル及び複数のコピーに複製されるべきプログラムのデータ)から分離する。以下、再処理されるべき情報を単に「テーブル」又はより一般的に「サービス情報」とも称す。後者が、一般にはマイクロプロセッサである処理・制御装置MPに送られる。処理・制御装置MPは、各々のアクティブな仮想チャンネルに送られるべき更新されたテーブルの複製を作り、これらの複製が入れられるべき新しいパケットのヘッダーをも発生させる。処理されない情報は、メモリ装置MEに転送される。メモリ装置MEは、各プログラム又はプログラム群に対して別々に処理・制御装置MPの制御の下でFIFO型論理待ち行列を編成する。装置CFは、待ち行列の内容MEを読み出し、MPEGパケットをATMセルに分割し、仮想チャンネルをレベリングし、仮想経路内で統計的多重化を行うことにより、MPEGストリームをATMストリームに実際に変換する。ブロックASの前に設けられる転送ストリーム予備処理装置が、例えばクロック信号に関連した8ビットワードのように装置RMの処理に適した形式のパケット内容を、パケット開始情報及び採用された情報交換プロトコルにより特定される従来信号に供給する。これらの装置は、本発明に関係しないので示していない。

【0011】図3は、再多重化装置RMの構造をより詳細に示す。ラインm1...mn上にて送られてくる転送ストリームは、入力インターフェースFL1...FLn(以下「フィルター」と称す。)に与えられ、有効なパケットを排除されるべきパケットから分離し、さらに処理される情報を含む有効パケットをそうでないパケットから

分離し、プログラム基準時間PCRの初期処理を行う。該処理は、ATMストリームを作る装置AAにおいて後に完了する。フィルターは、接続9を介して、MPEG規格に従って同じ27MHzの周波数にてシステムクロック信号を受け取り、また、この処理を行う装置のための同期信号を受け取る。実行される処理が基づく原理は後に説明する。フィルターFL1…FLnは、そのサーチメモリMR1…MRnにて識別される制御ワードを構文解析のために使用する。サーチメモリMR1…MRnは、パケットヘッダーに含まれるパケット識別子PIDをアドレスとして使用する。この制御ワードは、テーブルの展開(evolution)に基づいて制御装置MPにより作られ更新され、また、3つのフィールドを含む。最初のフィールドは、パケットの有効性を示し、さらなるプログラムデータ若しくはテーブル処理を要求し、又はパケットが落とされるべきか否かにより代行パケット若しくはマイクロプロセッサがまだプログラム構造を得ていないときの過渡期に受信したパケットを要求する。二番目のフィールドは、パケットがテーブル又はプログラムデータを関係するか否かを規定する。三番目のフィールドは、プログラムデータを含むパケットに対して使用され、関連した仮想チャンネルへの前方パケット転送のための論理待ち行列に各々が関連したビット群を含み、パケットがその論理値によりその待ち行列に入ることを要するか否かを示す。識別子PIDにより区別されるパケットと論理待ち行列との関連付けは、連続的なPSI/SIテーブルの分析から得られる入力ストリーム構造の情報に基づいてコントローラーMPにより構築され更新される。

【0012】フィルターFLの構造は、図4を参照してより詳細に説明される。プログラムデータを含んだパケットは、接続1-1…1-nを介してフィルターFL1…FLnによりそれらの夫々のデータメモリMD1…MDnに送られる。データメモリMD1…MDnにおいては、データは各々のアクティブな仮想チャンネルに関連するFIFO型論理待ち行列に編成される。データは、外部に与えて、例えば制御装置MPにより制御される多重化器MX1を介してオペレータから入る特定ストリームをモニターすることもできる。データメモリMD1…MDnにおけるデータの書き込み/読み出しは、それら夫々のメモリコントローラーCM1…CMnにより管理される。メモリコントローラーCM1…CMnは、個々のパケットが入るメモリセグメントを各々が識別するポインターから成る連結鎖を管理することにより、種々の論理待ち行列のうちでメモリ空間を動的に共有する。これらのリストを管理する場合に通常のように、各々はヘッダーと各それぞれの書き込み及び読み出しにて更新される待ち行列の要素を含む。各パケットが読み出された後、通常はポインターが、入来したパケットが書き込まれるべき場所を識別するのに使用される開放メモリセグ

メントのリストに加えられる。複数のチャンネルの基本コンポーネントの複製が処理を行うことなく要求されるならば、この複製は、メモリMD内の同じパケットの複数のコピーを記憶する必要を排除すべくマーケット待ち行列に作用することにより行われる。実際には、必要な数のポインターコピーが、パケットを含むメモリMDのセグメントのみにて複製されるべき各パケットに対して作られ、各コピーは、適当なリストに加えられる。この場合、開放セグメントのリストへのメモリセグメントのエントリーは、明らかにセグメントが所定回数読み出されたときにのみ行われなければならない。必要な情報は、制御ワードの第三フィールドに含まれる。後に説明するように、制御ワードは、フィルターFLとコントローラーCMの間で交換されるべき情報が通らなければならない接続2-1…2-nを介して、FL1…FLnにより夫々のメモリコントローラーCM1…CMnに送られる。メモリコントローラーの構造についての更なる詳細は、図5にて与えられる。

【0013】コントローラーMPにおいて処理されるべき情報を含むパケットは、それらが1つの論理待ち行列に入れられるバッファー入力メモリMT1…MTnにフィルターFL1…FLnにより与えられる。好ましくは、バッファーメモリMT1…MTnとサーチメモリMR1…MRnは、物理的に同じサービスメモリMS1…MSnに属してその半分ずつから成る。このことは、装置の構造を単純にする。従って、図は、フィルターFL1…FLnとそのサービスメモリMS1…MSnの間の1つの接続3-1…3-nのみを示す。フィルターFLのMRへの又はMTへのアクセスは、動作の段階に依存するであろう。

【0014】コントローラーMPとインターフェースIMは、装置の内部バス5を介してバッファーメモリMT1…MTnに記憶されたテーブルを読み出す。インターフェースIMは、コントローラーMPのバスbに接続される。上述のように、コントローラーは、テーブルに含まれる情報を用いて、メモリMR1…MRnへの制御ワードを更新する。加えて、これらのテーブルの完全なバージョンが得られた後に、コントローラーMPは、アクティブな仮想チャンネルに送られるべき更新された複製を構築する。これらの複製は、転送ストリーム構文に従って適当なパケットのペイロードに分配され、それに対してコントローラーはヘッダーをも構築する。テーブルと共にパケットが、出力メモリTUの適当な論理待ち行列に入れられる。出力メモリTUは、入力インターフェースFLに双一義的(biunivocally)にn個の領域に分割され、対応するデータメモリMD内に作られた論理待ち行列の各々に対する場所を各領域内に含む。コントローラーMPは、適当なATMセルへのエントリーAAにつき接続7上にテーブル送出シーケンス及び周波数をも確立する。コントローラーMPはRMの入力に存在する全

てのストリームに並列に作用し、同様に出力メモリ TU は全ての仮想経路のチャンネルに対してテーブルパケットの論理待ち行列を編成することに留意すべきである。

【0015】データメモリ MD の出力は、ブロック AA に接続される。ブロック AA は、実際に MPEG ストリームを ATM ストリームに適切に変換する。ブロック AA は、図 6 を参照してより詳細に説明されるが、メモリ MD の一つから一度にデータを読み出すことができる。従って、これらの出力は有利にバス構造を構成するであろう。図を簡単にするために、ただ 1 つのバス 4 が示される。このバス 4 は、メモリ MD から AA にデータを転送し、また、アドレス、制御及び MA と AA 間のこの転送に関する情報交換プロトコル信号のような信号を交換する。同様のバス 6 の構造が与えられ、AA からメモリへの読み出し及びアドレス制御信号を転送し、また、ブロック AA とメモリコントローラ CM 間の情報を交換する。ブロック AA は、AAL5 プロトコルの規定に従って ATM セル転送ストリーム構文により編成されたパケットをセグメント化し、また、2 工程にてアクティブな仮想チャンネル間で帯域を共有する。第 1 工程では、AA は、プログラム可能なモードにて各仮想チャンネルのピーク帯域を制限し、メモリ MD から抽出される基本ストリーム、及び適当な接続線 7 を介して TU により仮想チャンネルに与えられる更新されたテーブルに関するデータの多重化を行う。第 2 工程では、仮想チャンネルは、後者のピーク帯域をプログラム可能な値に制限することにより、仮想経路に統計的に多重化される。AA により作られた ATM ストリームは、UTOPIA として公知の規格化されたインターフェース（図示せず）により出力 a を介して発生される。これらの動作のため、

ブロック AA は、レベリングメモリ MC と協働する。レベリングメモリ MC は、入力ストリームと各 ATM セル時間だけ働くべき待ち行列を識別可能にする情報を記憶する。この情報は、MC により接続 8 を介して AA に与えられる。

【0016】特に、メモリ MC は、個々の ATM セルを装置の出力に転送するため出力トークンのリストを記憶する。各トークンは、特定のアクティブな仮想チャンネルに関係する。トークンは、単に 2-フィールドワードから成り得、1 つは入力メモリ、すなわち、そのチャンネルの待ち行列が編成されるメモリ MD を識別するためのものであり、もう一つは、論理待ち行列に対するものである。所与の仮想チャンネルにおけるトークンのリストの周波数とそのリスト走査速度は、そのチャンネルに割り当てることができるピーク帯域を定める。AAL5 規格に従って、各プロトコルデータ装置 PDU が 2 つの MPEG パケットに対するデータを含まなければならない

すべきである。それぞれの仮想チャンネル内でのパケット多重化則における変化を扱えるために（このことは、装置 RM へのマルチプログラムストリームの入力の合成における次の変更が必要となり得る）、メモリ MC は 2 つの部分に再分割される。これらは、ピンポン様式にて編成され、その一つは、現在のフレームにて使用されるべきトークンシーケンスの現在の状態を含み、もう一方は、ストリーム合成の前記変更の決定に従うコントローラにより作られるこのシーケンスの将来の状態を含む。

【0017】ブロック AA は、再計算に必要な PCR 基準値の処理をも行う。この再計算は、送信器から受信器へのパケットのジッターの無視しえないソースを除去又は最小化するのに必要である。従って、この再計算は、PCR 値のシーケンスを用いて動作するフェーズ・フックアップ・回路又は PLL により送信器の時間ベースに同期した時間ベースを受信器にて合成することを可能にする。本質的に、処理は、PCR データを含む各パケットがブロック RM に残っている可変時間を識別すること、及び発行されたパケットの PCR 基準値を更新することから成る。厳密に言えば、この時間は、PCR 自身を開始したものに同期したクロックを用いることにより概算されるべきであるが、このことは、受信器にて使用される PLL と同様に、別のシステムクロックを用いるプログラムと同じ数の PLL を使用することを意味する。システムクロックと同じレート（周波数のローカル発振器により駆動された 1 つのカウンタ）を用いて時間を測定することで、複雑さが顕著に低減される。ローカル発振器の精度と安定性が送信器に対して用いられたものと同じである限り、時間間隔を測定する際の誤差は、受信器の PLL により容易に吸収される程度のものである。理論的には、伝送時間の計算は、各 PCR サンプルが装置に入る時間を記憶し、サンプル自身とこの時間を関連付け、それが再多重化器を離れる時間を記憶し、経過した時間を計算し、サンプル値をこの測定値に修正することが必要である。この手順は、次の 2 つの理由により効果がない。

(1) メモリは、PCR へのエントリの時間を符号化するために確保しておけねならず、また、このメモリのサイズは、ア priori に概算するには困難である。というのは、各瞬間において装置内に同時に存在する PCR サンプルの最大数を予測することはできないからである。

(2) サンプルのエントリ時間とサンプル自身を関連付けを維持するのは難しい。

【0018】採用された解決策は、上記した両方の欠点を避け、上述したように 2 工程の修正手順が与えられ、その一つはブロック FL で行われ、もう一方はブロック AA で行われる。修正された PCR_{out} は、次式に基づいて計算される。

10

20

30

40

50

$$PCR_{out} = PCR_{in} + (T_{out} - T_{in})$$

ここで、 PCR_{in} は、受信したパケットに含まれる値であり、 T_{in} 、 T_{out} は、ローカル発振器を用いて計算されたパケット入力及び出力の時間である。実際には、 $PCR_{in} = PCR_{in} - T_{in}$ の値は、フィルターFLで計算され、 $PCR_{out} = PCR_{in} + T_{out}$ の値は、ブロックAAにて計算される。修正手段の好ましい態様は後に説明する。ラインM1...Mnに存在するストリームに加えて、装置は、コントローラーMPにより作られたテストストリームをも受信できることにも留意すべきである。これらのストリームは、特定メモリTSにて読み出され、ラインtを介してフィルターFLに到達する。それらは、バッファメモリMT又はブロックAAの出力のどちらかにて修正され得、コントローラーMPに送り返される。

【0019】図4に関し、フィルターFLは本質的に下記のものから成る。

(1) 真の適当な構文分析器を構成する状態機械PA

1。これは、上述のように、有効パケットと無効パケットを区別し、また、プログラムデータ又はテーブルを運

んでいるパケットを区別しなければならない。

(2) 上記特定したような PCR_{in} の値を計算するためのブロックCR1。

(3) フィルターFLの動作中にパケットストリームの一時記憶のためのスライドレジスタベンチとして本質的に構成されたバッファメモリBU1。パケットは、図3に示される接続線1a上にてBU1により発生される。

(4) データメモリMD及びサービスメモリMSへのアクセスを管理するための装置DC。

(5) ラインmに存在するプログラムのパケット又はラインtに存在するテストパケットをPA1とBU1に与えるための多重化器MX2。

【0020】上述のように、状態機械PA1は、パケット識別子PID及びパケットに関連しかつサービスメモリにて読み出される制御ワードを分析することから開始して動作する。それは以下のものを発生する。

(1) 線10上の制御信号。これは、DCに与えられ、フィルターがサービスメモリMS又はデータメモリMDにアクセスするのを可能にする。パケットへの操作の初期段階中、特にPA1がパケットの種類を認識するまでは、制御信号値は、サービスメモリ、特にサーチメモリ部分MRへのアクセスを可能にする。

(2) 線11上のTABADD信号。これは、DCにより使用されて上記メモリにおいて読み出し/書き込みアドレスを発生する。

(3) バッファメモリBU1にデータを書き込み/読み出すための12で示される線上の制御信号、接続13を用いてパケット識別子PIDをBU1からDCに転送するための制御信号、更新すべきPCR信号をBU1か

らCR1に転送するための制御信号、及び接続14を用いてCR1において処理されるPCR信号をCR1からBU1に転送するための制御信号。

【0021】PA1は、以下のものを受信する。

(1) DCから接続15を介した制御ワード。

(2) 接続2の線2aを介してCMから実際の書き込みアドレスを発生するために使用されるデータをメモリに書き込むためのポインター (図3参照)。加えて、データを含むパケットの場合には、論理待ち行列に関する情報を含む制御ワードの第三フィールドを返送して、接続2の線2bを介してCMを駆動する。接続13及び10にそれぞれ存在する識別子PID及び/又は信号TABADDを用いることにより、ブロックDCは、パケットの移送と種類に従い、MRへの、又はMT若しくはMDへのアクセスのためのアドレスを発生する。MDへのアクセスのアドレスは、接続1の線1b上に与えられる一方、MR又はMTへのアクセスのアドレスは、接続3の線3a上に与えられる。加えて、線1aを介して、MTに送られるべきパケットをBU1から受け取り、例えば16ビットパラレルにてそれらを線3bに与える。DCの方向にて、線3bの同じグループが使用されて、接続15に送られるべき制御ワードをDCに与える。チップ選択、有効データ、書き込み/読み出しなどのようなメモリとのダイアログプロトコルに関する従来の信号を図に示していないことに注意すべきである。というのは、それらは本発明の理解には関係ないからである。

【0022】フィルターの動作は次の通りである。MP EGパケットを受信すると、状態機械PA1は、パケット識別子PIDの到着の認識を待ちながら休止している。

PIDが認識されると、PA1は、BU1におけるその読み出し及びDCへの転送を命じる。DCは、そのパケットに関連する制御ワードのMRにおける読み出しアドレスとしてそれを使用する。制御ワードの内容に基づいて、PA1は、DCをイネーブルしてMT若しくはMDへのアクセスを管理させるか、又はパケットが重要でないならば、休止に戻る。パケットがコントローラーMPに与えられるべきものであるならば、線10上の信号は、サービスメモリへのアクセスに必要な論理値に留まり続ける。加えて、パケットはBU1により出力1aに転送され、DCに送られる。DCは、それをMTに送る。MTでは、そのパケットは接続3a上にてDCにより発生されたアドレスに書き込まれる。パケットがデータパケットであるならば、線2a上にてCMにより与えられるポインターの値に基づいて、PA1がTABADDに対し適当な値を発生する。線10上の信号は、切り替えられてDCがMDにアクセスするのを可能にする。パケットは、BU1によりMDに送られ、接続1b上にてDCにより発生されたアドレスに書き込まれる。PCRサンプルを有するパケットが認識されると、PA1は、サンプルのBU1からの抽出及びPCR_{in}計算のた

めCR1へのその転送を命じる。PCR_uは、パケットを下流に送る前に、同じBU1バッファメモリに再び入れられる。テストパケットの場合には、動作は、サービスセンターから来るパケットに対する手順と同じ手順に従う。唯一の相違は、たとえそれらがデータパケットであっても、テストパケットがAAの出力(図3参照)にて読み出されるべきか又はMTによりピックアップされるべきかに従って、ME又はDCのどちらかに送られ得ることである。

【0023】図5に示されるように、メモリコントローラCMは、本質的に以下のものから成る。

(1) データメモリMDへの書き込み用のポインターを記憶するために割り当てられたメモリFF。

(2) プログラムデータパケットが入れられるべき待ち行列と同じ回数だけポインターを複製するべく割り当てられた装置UR。

(3) データメモリMD内の論理待ち行列を管理するための装置QM。

(4) ポインターの開放化を制御するための装置FP。メモリFFは、メモリMDの開放された領域に対応するポインターのリストを含む従来型のFIFOメモリである。各ポインターは、MPEGパケットを含むサイズを有するメモリ領域を選択する。この領域は、全ての可能なポインター(例えば128)のリストを含むべく初期化され、次のブロックAA(図3参照)により与えられる情報を更新することに基づいて、最初の開放ポインターによる指示に関する指示を発生し、フィルターFLのブロックPA1(図4参照)及び同じコントローラCMのブロックURへの伝送のために出力2aにそれを与える。

【0024】装置URは、パケットが線2bを介してブロックPA1(図4参照)から入れられる待ち行列の指示を含んだ制御ワードの第3フィールドを受信し、待ち行列が編成されるメモリMDの領域へのポインターをメモリFFから受信し、そして、待ち行列へそれらを書き込むためのポインターと命令を接続16及び17を介して待ち行列マネージャQMに送り、そのパケットに対するアクティブな待ち行列と同じ回数だけそれらを複製する。このことは、パケットが与えられるべきユーザーの数に関わらず、パケットを1回だけMDに記憶することを可能にする。URは、ポインター開放制御装置FPに接続された出力18上に、待ち行列の数の情報、すなわち複製をも与える。装置QMは、URにより与えられるポインターを記憶することにより、FIFO型の手順に従って編成される一連の待ち行列を完了する。上記述べたように、各々のAAL5プロトコルPDUは2つのMPEGパケットを含まなければならないので、各待ち行列QMは、それが1対のポインターを含むまで空と考えられる。QMは、接続6の線6aを介して特定の待ち行列を読み出すリクエストをAA(図3参照)から受け

取り、それらの実際の有効性(空でない待ち行列)の指示と共に、同じ接続6の線6bを介して各リクエストにつき1対のポインターをAAに与える。QMの機能を実行する装置を開発する技術は、刊行物に記載されている。ブロックFPは、ポインター識別子を含んだメモリであり、接続18を介してURにより与えられる値で初期化されるカウンターに接続され、AAがポインターにより識別されたメモリ領域に影響を与える動作を完了するときはいつでも、減少させられる。このために、FPは、カウンターがFFの出力19上で0に達したとき、開放メモリ領域の情報を発行することによりポインターにより指示されたメモリ領域へのアクセスの完了を示す信号を、接続6の線6cを介してAAから受け取る。

【0025】図6を参照すると、メモリコントローラCM(図3参照)とのダイアログを管理するためのブロックAAにおける論理ネットワークGDは、接続8を介してMCからトークンを受信し、仮想出力チャンネルに関する8のグループの最初のトークンを読み出されると、線6aを介して、そのチャンネルに関係するポインターに関連するコントローラCMにおいて論理待ち行列マネージャQM(図5参照)に尋ねる。待ち行列が空でないならば(すなわち、少なくとも2つのポインターがQM(図5参照)に存在するならば)、これらのポインターは、GDにより情報ワードに入れられ、ソースプログラムストリームと待ち行列識別子(すなわち、トークンに含まれる情報)と共に、トークンがプログラムデータに関連するという指示と共に、及び8のグループにおけるトークンの位置に関する情報と共に許可される。待ち行列が空であり(すなわち、線6bにも存在する信号のおかげでGDにより認識され)、かつ、その仮想チャンネル(バス5を介してコントローラにより信号伝送される)に関連するテーブルがあるならば、トークンがテーブルに関連するという指示は、ソースプログラムストリームと待ち行列識別子に加えて許可される。実際には、論理ネットワークGDは、可能な論理待ち行列の数と同じ回数だけ複製される状態機械であり、それは各待ち行列に対して待ち行列xに係る図7の状態図に従って動作する。1つの状態から別の状態への移行は、それぞれの待ち行列のトークンを読み出すことにより決められる。

【0026】DGにより作られた許可は、n個の許可待ち行列の一つに入れられる。これらの許可待ち行列の各々は、仮想出力経路に関連し、出力ストリームの一つに一義的に関連する。これらの許可待ち行列は、PQにより全体が示されたn個のFIFOメモリのグループに編成される。PQは、接続20を介してそれらをGDから受け取る。許可は、PQにより、接続21を介してデータリクエストを管理する論理ネットワークDRに与えられる。所与の許可に含まれる情報に基づいて、論理ネットワークDRは、バス4の線4a上にてメモリMD(図

3 参照) の一つにおいて 3 つのメモリアドレスを発生し、又は接続 7 の線 7 a 上にてメモリ TU において読み出しアドレスを発生する。多重化器 MX 3 は、メモリ PQ の一つの選択を可能にする。結果として、論理 DR は、バス 4 の線 4 b に接続された第 1 入力上、又は AA がテーブル若しくはプログラムデータを受け取るための接続 7 の線 7 b に接続された第 2 入力上にて多重化器 MX 4 の位置決めを命ずる。コントローラにより信号伝送されるパケット読み出しの終了時に、DR は線 6 c 上にポインター開放信号を発行する。許可は、コントローラ MP による周波数プログラマブルなそれぞれの待ち行列により読み出される。n 個の待ち行列の交替は周期的である。所定数のデータパケットの対を読み出した後には、TU へのアクセスも周期的である。

【0027】論理待ち行列を識別するトークンにより含まれる情報も、装置 IC と CC に転送され、また、論理待ち行列とセルヘッダーに入れられるべき仮想チャンネル/経路の間の関連についての情報を含む仮想メモリ VR をアドレス指定するのにも使用される。上記装置 IC と CC は、それぞれ ATM セルヘッダーとプロトコル装置トレーラ(trailer) を構築するべく割り当てられている。MP は、必要な情報を VR にロードする。接続 2 2 も、命令信号をブロック IC、CC に伝える。データ又はテーブルは、MX 4 により BU 1 (図 4 参照) と同様の第 2 のバッファメモリ BU 2 及び第 2 の構文分析器 PA 2 に与えられる。第 2 の構文分析器 PA 2 は、プログラムの場合には、パケット内での PCR 識別子の存在を認識し、BU 2 から装置 CR 2 へのその転送を命令しなければならない。装置 CR 2 は、パケットの下流への転送の前に PCR_{out} の値を計算してそれを PCR_u の場所と置き換えることにより、PCR に必要な処理の第 2 の部分を実行する。BU 2 からのデータは、接続 2 3 を介して別の多重化器 MX 5 に与えられる。この多重化器 MX 5 は、2 つの出力を備え、それぞれ IC と CC に接続され、適当な瞬間におけるセルヘッダー又はペイロードの出力転送、及びセル端におけるセルトレーラの出力転送を行う。MX 5 も、接続 2 2 上にて DR によ

$$PCR_u = (PCR_{in} - T_{in}) \bmod 300 \quad (1)$$

及び

$PCR_{in} \geq T_{in}$ のとき、

$$PCR_u = (PCR_{in} - PCR_{in}) \bmod 2^{33} \quad (2)$$

$PCR_{in} < T_{in}$ のとき、

$$PCR_u = (PCR_{in} - PCR_{in} - 1) \bmod 2^{33} \quad (3)$$

【0030】上記を前提とすると、図 8 に示されているように、回路 CR 1 は、1 対の直列のカウンター CNE 1、CNB 1 を含む。前者は、 T_{in} を発生する 9 ビットモジュール 300 カウンターであり、もう一方は、前者からの桁上げに対してイネーブルされる 33 ビットモジュール 2^{33} であり、 T_{in} を発生する。インバーター INB において反転される T_{in} の値は、33 ビットの

り発行される信号により命令される。MX 5 の出力 2 4 は、伝送 UT のインターフェース UT O P I A に接続され、よって、装置の出力 a に接続される。

【0028】AAL 5 規格に従って、トレーラは、最後のデータユニットセルの所定数のワードを占めており、よって、DR は、8 の具ルールのうち最初の 7 つのセルの一つか最後のセルのどちらを読み出しているかに従って MD 内の異なる数のワードを読み出すことを命令すること、及びそれは最後のセルを完了すべく接続 2 3 上に存在するデータをもう一方の CC から受け取らなければならないことも指摘される。MX 5 の出力 2 4 は、別の多重化器 MX 6 を介してバス 5 にも接続される。多重化器 MX 6 は、別法として、インターフェース UT O P I A を受ける UR を介してコントローラに送られるべき診断目的の ATM セルを受け取ることができる。よって、TS により発生されるテストパケットは、MP (図 3 参照) に転送され得る。

【0029】PCR サンプルの処理に戻るため、図 8 と図 9 に示された回路 CR 1、CR 2 は、90 KHz (27 MHz の $1/300$) の周波数のクロック信号を要求する MPEG 1 (ISO/IEC 11172) 規格との互換性を維持する必要性を考慮する。その理由は、PRC 値が 2 つの部分を含み、その一つは、90 KHz (の周波数以下において下付き文字 B として示される「ベース」周波数) で放出する 33 ビットから成り、もう一方は、27 KHz の周波数 (以下において下付き文字 E として示される「拡張」周波数) にて放出する 9 ビットから成るからである。よって、時間 $t(i)$ に関する一般的な PCR (i) サンプルは、次式のように表すことができる。

$$PCR(i) = PCR_0(i) \times 300 + PCR_E(i)$$

差 $PCR_u = PCR_{in} - T_{in}$ は、減数の 9 ビット部が被減数の 9 ビット部より大きいならば負の桁上げを考慮し、適当なワード長で操作して 9 及び 33 ビットの 2 つの PCR_E PCR_0 部に達成される。特に、次式が得られる。

加算器 SMB 1 に与えられる。加算器 SMB 1 は、BU 1 (図 4 参照) から接続 1 4 の線 1 4 a を介して値 PCR_{in} を受け取り、BU 1 に線 1 4 b を介して送られるべき PCR_u の値を発生する。 PCR_u の計算は、カスケード状の 2 つのモジュール加算器 9 により一般に以下の周知事項を用いて実行され得る。

$A \geq B$ のとき、

$$(A-B) \bmod K = (A-B) \bmod 2^J \quad (4)$$

$A < B$ のとき、

$$\begin{aligned} (A-B) \bmod K &= [(A-B) \bmod 2^J + K] \bmod 2^J \\ &= [(A + \text{not } B + 1) \bmod 2^J + K] \bmod 2^J \end{aligned} \quad (5)$$

ここで、 2^J は、 K より直に大きい 2 のべきである。指摘の場合、 $A = \text{PCR}_{\text{INE}}$ 、 $K = 300$ 、 $J = 9$ である。2 つのモジュール加算器 9 は、図中では $\text{SME} 11$ 、 $\text{SME} 12$ として示される。加算器 $\text{SME} 11$ は、 $\text{CNE} 1$ からの T_{INE} をインバーター INE で反転して受け取り、かつ、 $\text{BU} 1$ (図 4 参照) から PCR_{INE} を受け取る。加算器 $\text{SME} 12$ は、 $\text{SME} 11$ で実行された総和の結果 PCR_{WE} を受け取り、等式 (5) を計算する。多重化器 $\text{MU} 1$ は、 $\text{SME} 11$ 又は $\text{SME} 12$ の

$$\text{PCR}_{\text{OUTE}} = (\text{PCR}_{\text{WE}} + T_{\text{OUTE}}) \bmod 300 \quad (6)$$

及び

$$\begin{aligned} \text{PCR}_{\text{WE}} + T_{\text{OUTE}} &\geq 300 \text{ のとき、} \\ \text{PCR}_{\text{OUTB}} &= (\text{PCR}_{\text{WB}} + T_{\text{OUTB}} + 1) \bmod 2^{33} \end{aligned} \quad (7)$$

$$\begin{aligned} \text{PCR}_{\text{WE}} + T_{\text{OUTE}} &< 300 \text{ のとき、} \\ \text{PCR}_{\text{OUTE}} &= (\text{PCR}_{\text{WE}} + T_{\text{OUTE}}) \bmod 2^{33} \end{aligned} \quad (8)$$

【0032】 PCR_{WE} を計算するためのものに対する相補的な考慮が、 PCR_{OUTE} を計算する場合、及び PCR_{OUTB} の等式を選択するための条件を識別する場合にも為され得る。よって、 $\text{CR} 2$ (図 9 参照) は、要素 $\text{CNE} 2$ 、 $\text{CNB} 2$ 、 $\text{SMB} 2$ 、 $\text{SME} 21$ 、 $\text{SME} 22$ 、 $\text{MU} 2$ を含み、これらは、図 8 の要素 $\text{CNE} 1$ 、 $\text{CNB} 1$ 、 $\text{SMB} 1$ 、 $\text{SME} 11$ 、 $\text{SME} 12$ 、 $\text{MU} 1$ に対応し、それらと同じように接続される。相違するのは、インバーターがカウンタ $\text{CNE} 2$ と $\text{CNB} 2$ の出力に設けられていないこと、及び多重化器 $\text{MU} 2$ がゲート PR により制御されることである。ゲート PR は、加算器 $\text{SME} 21$ 、 $\text{SME} 22$ の桁上げ出力を OR 結合する。特に、 $\text{MU} 2$ は、 PR の出力が 0 の場合には、 $\text{SME} 21$ により与えられる値を PCR_{OUTE} として選択し、その反対の場合には、 $\text{SME} 22$ により与えられる値を選択する。実際には、 CRE によりゲート PR の出力信号を示すことにより、次式が図 9 の回路図で得られることが直ぐに分かる。

$\text{CRE} = 0$ のとき、

$$\text{PCR}_{\text{OUTE}} = (\text{PCR}_{\text{WE}} + T_{\text{OUTE}}) \bmod 2^9$$

$\text{CRE} = 1$ のとき、

$$\begin{aligned} \text{PCR}_{\text{OUTE}} &= (\text{PCR}_{\text{WE}} + T_{\text{OUTE}} - 299) \bmod 2^9 \\ \text{PCR}_{\text{OUTB}} &= (\text{PCR}_{\text{WB}} + T_{\text{OUTB}} + \text{CRE}) \bmod 2^{33} \end{aligned}$$

【0033】線グループ 25a、25b、25c、25d は、それぞれ線グループ 14a、14b、14c、14d に対応する。2 つの回路 $\text{CR} 2$ 、 $\text{CR} 1$ はマスター ($\text{CR} 2$) - スレーブ ($\text{CR} 1$) という構成にて動作するので、 $\text{CR} 2$ は、図 8 と図 9 には図示していないがフィルター FL に関して述べた同期信号を $\text{CR} 1$ に送ることに留意すべきである。

出力の線 14d 上への PCR_{WE} の供給を可能にする。多重化器 $\text{MU} 1$ は、 $\text{SME} 1$ の桁上げにより駆動され、これは (4) 又は (5) のいずれが適用されるかによって 1 又は 0 である。

【0031】等式 $\text{PCR}_{\text{OUT}} = (\text{PCR}_{\text{WE}} + T_{\text{OUT}})$ は、9 ビット部のモジュール 300 を加え且つ 33 ビット部を合計する際の正の桁上げを考慮することにより、2 つの 9 と 33 ビット部上にて同様に計算されなければならない。特に次式が得られる。

【0034】コントローラ MP の動作に関して、図 10 と図 11 をも参照して以下に説明し、本装置の機能ブロックの説明を完了する。コントローラは、以下の機能を行うようにプログラミングされる。

(A) PSI / SI テーブルを処理すること。特に、これは以下のものを含む。

(1) 再多重化装置 RM の入力 (図 1 ~ 3 参照) にてマルチプログラム転送ストリーム MPTS の識別により PSI / SI テーブルを再構築し解釈すること。

(2) テーブルを更新しそれらの複製を作り、装置 RM の出力にてマルチ又は単一プログラム転送ストリーム $\text{MPTS} / \text{SPTS}$ の性質を識別して合成すること。

(3) 転送ストリーム TS のパケットにテーブルをセグメント化し、適当な周波数で TU (図 3 参照) にそれらを入れること。

(4) 装置 BCU (図 1 参照) への通信プロトコルメッセージを発生すること。この特徴は、通信ネットワーク RT (図 1 参照) の管理規格に関係するので本発明には関係しない。

【0035】(B) ハードウェアモデルの構成及び制御。これは特に以下のものを含む。

(1) ブロック FL 、 CM 、 AA (図 3 参照) をプログラミングすること。

(2) サーチメモリ MR を初期化し動的に制御し、メモリ MC をレベルリングすること。

(3) 自動診断手順又はシステムオペレータによりリクエストされるもの (TS により発生されるテストストリーム) を管理すること。

(4) システムオペレータとの相互作用を制御すること。システムオペレータは、全てのハードウェア構成と

上記リストアップされた制御操作に対し操作することができ、また、PSI/SIテーブル処理に関する構成パラメータを操作できる。ハードウェア処理がコントローラ上で実行されるならば、アーキテクチャは3つのサブシステムを含む。すなわち、PARSERS、FORMATTER及びUSERIFであり、図10ではそれらの間で交換される主なメッセージ/命令と共に示されている。サブシステム間のデータ転送では、メモリ領域(サービステーブル、テーブルバッファ、その構造は図11に示される)が共有され、入力にて検出されるプログラム及び出力にて作られるべきプログラムに係る情報全てを含む。

【0036】サブシステムPARSERは、各入力インターフェース、すなわち各仮想出力チャンネルに対する装置を含む。一つの装置は、対応するメモリMTにおいてPSI/SIテーブルを含むパケットを読み出し、それらの完全なコピーを再構築し、更新をモニターする。テーブルから得られるマルチプログラムストリーム構造は、サブシステムFORMATTERに通信される(service_update)

。ウェブマネージャにより設定された装置RMの出力プログラムを構築するためのルールに基づいて、サブシステムFORMATTER(全ての入力インターフェース/アクティブな仮想チャンネルに対して1つ存在する)は、セグメント化されTU(図3)に送られるMPEGパケットのPSI/SIテーブル形成の更新及び複製を行う。該サブシステムも、BCUへの一方向通信プロトコルメッセージの作成及び伝送と同様に、MCとVR(図6参照)における関連するメモリMRの更新を管理する。サブシステムUSERIFは、オペレータとのメッセージの交換を管理する。該サブシステムでは、種々のシステムパラメータが構成され且つそれらの動作条件が識別される。特に、再多重化装置RMの動作に最も関係する2つのサブシステムPARSERとFORMATTERに関し、図11が参照され、図中、太線はデータフローを示し、細線は命令ストリームを示す。明瞭にするため、図3で用いられたのと同じ符合にて関連する回路要素も示され、フレーム範囲が破線により表される。

【0037】1) サブシステムPARSER

サブシステムPARSERは、常にアクティブな解析及びプログラミング処理部TS Parser/Schedulerと、1以上の動的に作られ壊されるプログラム部Section Parserから成る。処理部TS Parser/Schedulerは、サブ処理部TS Parserとサブ処理部Scheduleの2つから成る。処理部TS Parserは、MT(図3参照)からパケットを読み出す。パケットから、ヘッダフィールドを抽出し解釈する。パケットペイロードに含まれるデータとその識別子PIDは、それらを要求する処理部Section Parserを利用可能にする。ヘッダデータは、サブ処理部Schedulerにより処理される。

【0038】処理部Section Parserは、PSI/SIテ

ーブルの再構築をする。各処理部は、1つのテーブルセクションを再構築しそれをテーブルバッファ領域(Table Buffer)に入れることにより1つのテーブルセクションを管理する。作動すると、処理部Section Parserは、サブ処理部Schedulerにより発生された作動命令において示される特定PIDに関するデータに対するリクエストを処理部TS Parserに送り、そのPIDにより識別されるパケットにおけるセグメント化されたテーブルの再構築を進める。該処理部は、処理されるPIDに関する入力データの瞬間的な消耗まで、すなわち、再構築されているセクションの終わりまでアクティブのままでいる。第1の場合には、処理部はサブ処理部Schedulerにメッセージsec_waitを送り、休止する。第2の場合には、エンドメッセージsec_waitを送ることによりサブ処理部Schedulerに他のPIDを処理する可能性を知らせて、再び休止する。テーブルを備えた完全なセクションは、出力複製(複写又は更新)にリクエストモードと情報(変えられるべきフィールドのオフセットなど)を信号伝送する関連指標によりテーブルバッファに入れられ、サブシステムFORMATTERにおいて構文解析機能を最小化することを図る。

【0039】処理部TS Parserは、受信した各入力TSパケットのPIDをサブ処理部Schedulerに通信する。サブ処理部Schedulerは、ローカルな情報テーブル(Parser Table)に基づいて、作動されるべき処理部Section Parserの特定の時間を選択し、特に、処理が無いときにはPIDに関するデータを待っている時間又は開放された処理の時間を選択し、動的に新しいものを作る。作動された処理部Section Parserは、現在のPIDのデータに対するリクエストを処理部TS Parserに送り、上述のように進行する。Parser Tableの適当なフィールド(Age)は、もはや必要でない処理時間の自動的な除去機構を完了することを可能にする。テーブルPAT(Section Parser 1)を再構築するのに割り当てられた処理部Section Parserは、プログラムマップテーブルPMTを含んだパケットの識別子PIDをサービステーブル(Service Table)に入れ、サブシステムFORMATTERの機能部PID RAM Initに命令service_updateを送り、メモリMRを適切に初期化する。(PSI/SIテーブルのPIDとは異なり、PMTテーブルに係るPIDは事前に知られていないがPATから得なければならないことに留意すべきである。)

【0040】上記テーブルをテーブルバッファ(Table Buffer)に入れることに加えて、PMTテーブル(Section Parser n)を再構築するのに割り当てられた処理部Section Parserも、セクションテーブル、入力インターフェース識別子(intf_id)及びPMTテーブルに記載された各プログラム(別のservice_idにより識別される)のビットレートにPIDを入れる。処理部は、各々の新しいservice_idに対する論理待ち行列(queue_i

d) の識別フィールドを初期化する際に、機能部PID RAM Initの一部も完了する。PSI/SIテーブルを更新することにより発生されるサービステーブルへの如何なる変化も、関連する全てのソフトウェアサブシステムに送るべき命令service __updateを生じさせる。

【0041】2) サブシステムFORMATTER

サブシステムFORMATTERの主部は、機能部Segment/Replicateから成る。機能部Segment/Replicateは、処理部Section Parserによりテーブルバッファに書き込まれたテーブルを作り複製し、それらをメモリMTの出力待ち行列のTSパケットにセグメント化することを扱う。プログラムの種類と合成に従って、処理部Section Parserによりテーブルバッファに含められた情報を用いることにより、テーブルは、変えられることなく又は最小の変化を伴って複製又は新しく発生され得る（例えばサービス記載テーブル(Service Description Table)の場合）。この機能部は、適当な時間ウィンドウを発生するための内部タイマーを用いることにより、高速の構成可能な反復にてテーブルを発生する。MTへのアクセスは、MTを完了するコンポーネントのレジスタに割り当てられたシグナルにより管理される。レプテーブル(Rep Table)は、各テーブルに実際に使用されるウィンドウの数をカウントし且つ複製アルゴリズムへの任意の修正を行うのに使用される。（実際には、ブロックAAは、所与の時間ウィンドウ内のテーブルに関係するTSパケットの出力をプログラムできないことに留意すべきである。）

【0042】各MT待ち行列は、2つのTSタイプのパケットから成るPDUデータ装置を含む。従って、機能部Segment/Replicateも、テーブルセクションのセグメントを188バイトのTSパケット（これも適用可能な規格により要求されるヘッダーに入る）のセグメント化を行い、2つのTSパケットを1つのPDUに編成しなければならない。機能部PID RAM Initは、フィルターFLにより使用されるメモリMRを管理する。この機能部は、ストリームを支配し幾つかのPSI/SIテーブルに関係する構文ルールに基づいて予め知られた識別子PIDを初期に記憶するだけである。テーブルPATが再構築される際、すなわち、処理部Parserから命令service __updateを受信するときはいつでも、この機能部は、（新しい）プログラムに関係するPIDを用いてメモリNRを更新する。機能部VpVc Initは、サービステーブルデータを使用してブロックAAVRに含まれるテーブルを初期化する。それがモジュールUSERIFから命令service __updateを受け取る度に、この機能部は、仮想経路とテーブルqueue_id及びintrf __idフィールドにてシス

テムオペレータによりサービステーブルに入れられるVPI/VC I識別子を単にコピーする。

【0043】事前定義されたルールに基づいて、又はサービステーブルに含まれるビットレートに関する情報を動的に用いることにより、機能部Shaper Initは、出力ATM接続における帯域を制限するのに必要なトークンを用いてMCを適切にプログラミングする。機能部BCU initは、プログラム間の関連を含むBCUへのメッセージ、及びそれらを転送するTM接続のためのVPI/VC Iへのメッセージを形成し、MTにおいて得られる適当な待ち行列（各々のアクティブな仮想経路に対して1つ）に送る。メッセージは、それらが伝送されるチャンネルに対する帯域要件を満たすために、タイマーが発生する規則的な間隔にて送られる。上記記載は非制限的な例として単に与えられているのは明らかであり、その修正及び変更は本発明の保護範囲から逸脱することなく可能である。

【図面の簡単な説明】

【図1】本発明を用いる交換ビデオ放送サービスのアーキテクチャーを示す一般図である。

【図2】本発明の範囲である再多重化装置の論理図である。

【図3】本発明のブロック図である。

【図4】図3に示された装置の構成要素の図である。

【図5】図3に示された装置の構成要素の図である。

【図6】図3に示された装置の構成要素の図である。

【図7】論理ウェブの状態図である。

【図8】プログラムクロック基準の再計算装置のレイアウトである。

【図9】プログラムクロック基準の再計算装置のレイアウトである。

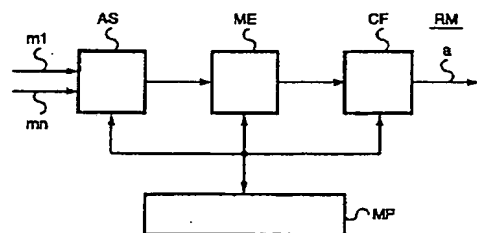
【図10】制御装置プログラム編成の図である。

【図11】制御装置プログラム編成の図である。

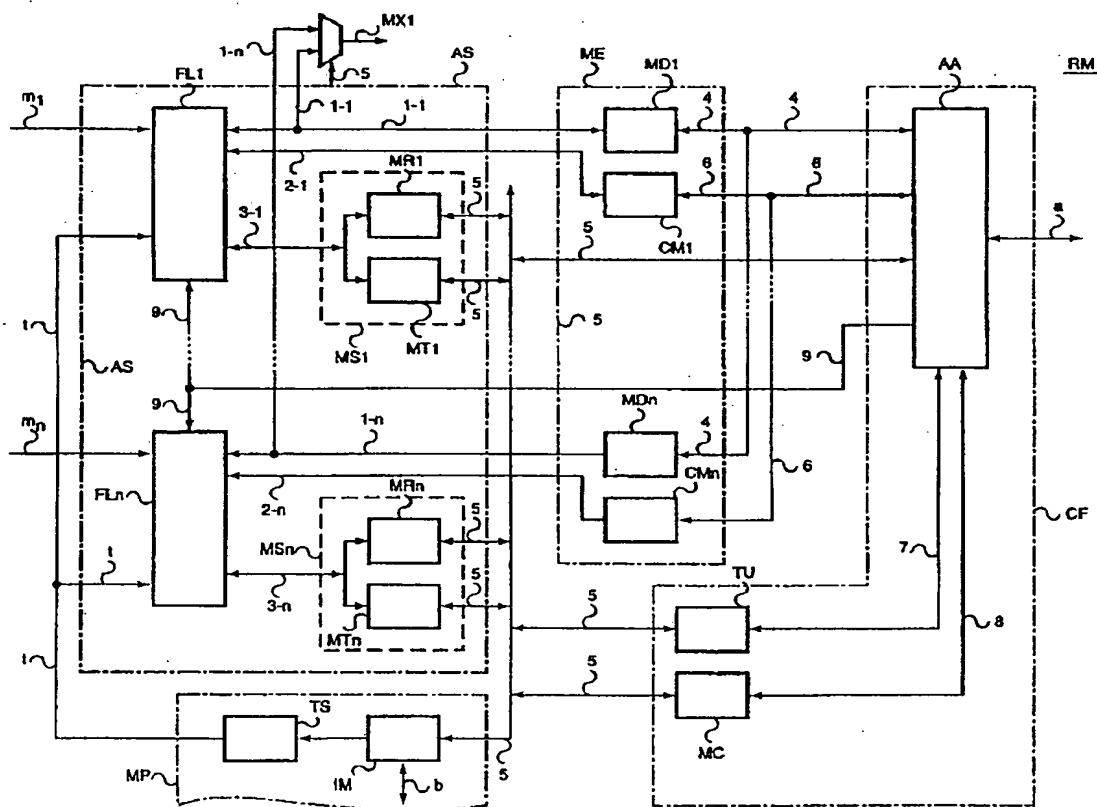
【符合の説明】

RM 再多重化器
RA ATM転送ウェブ
RU 複製装置
BCU 伝送制御装置
RT 通信ウェブ
CS1...CSn サービスセンター
U1...Ux ユーザー復号器
AS 構文解析部
ME メモリ装置
CF 出力ストリーム発生装置
MP 処理・制御装置

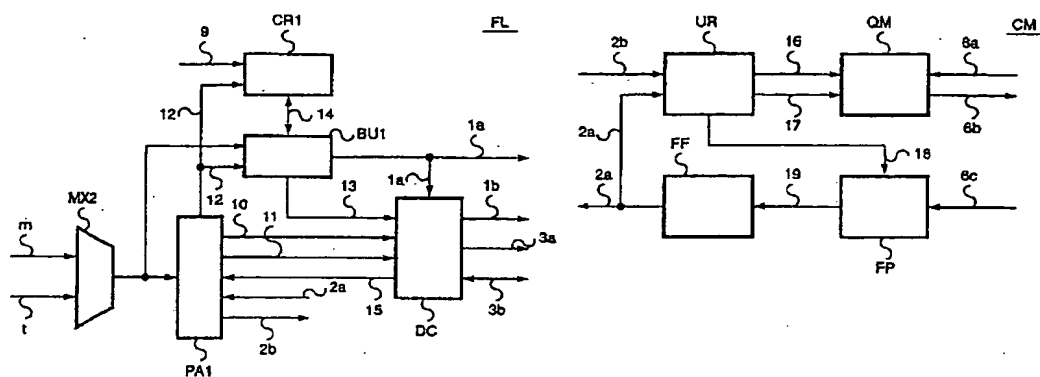
【圖 2】



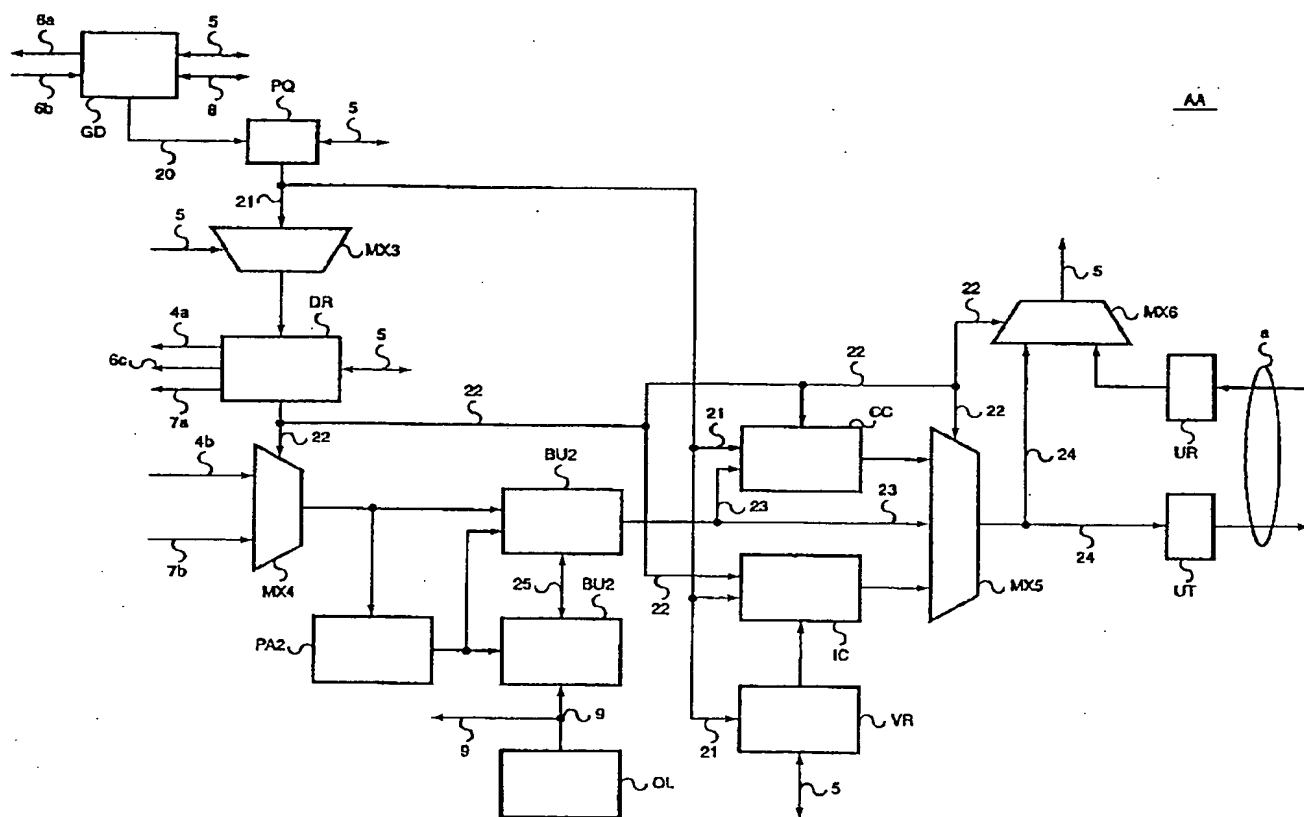
【图 3】



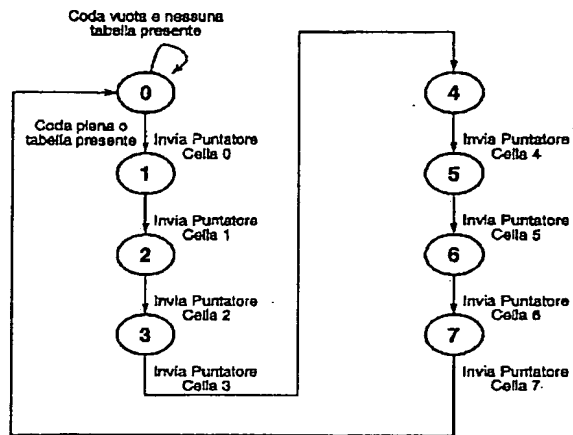
【図 5】



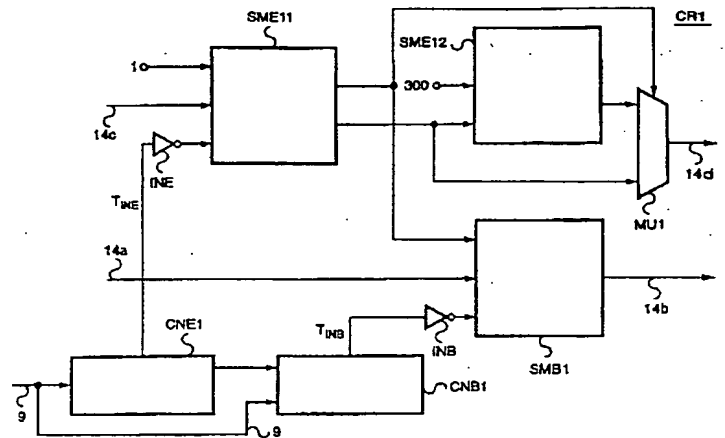
【図 6】



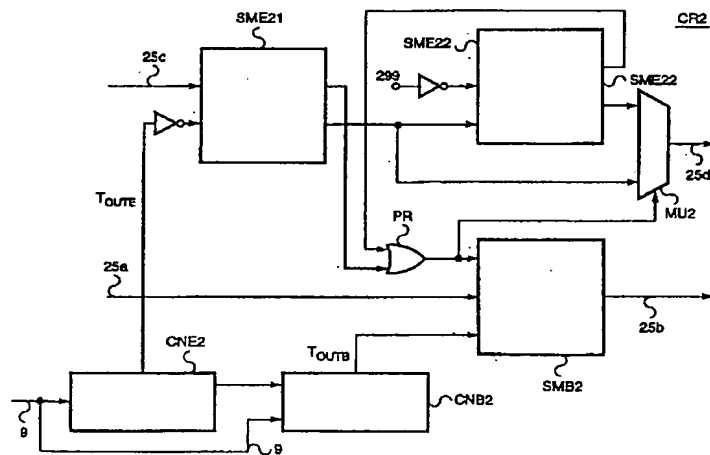
【図 7】



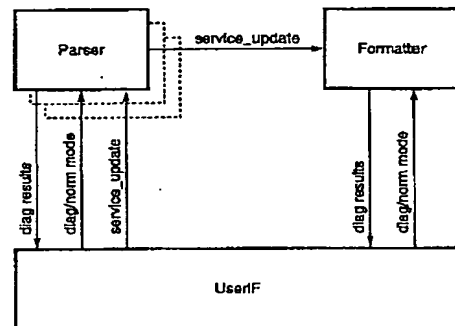
【図 8】



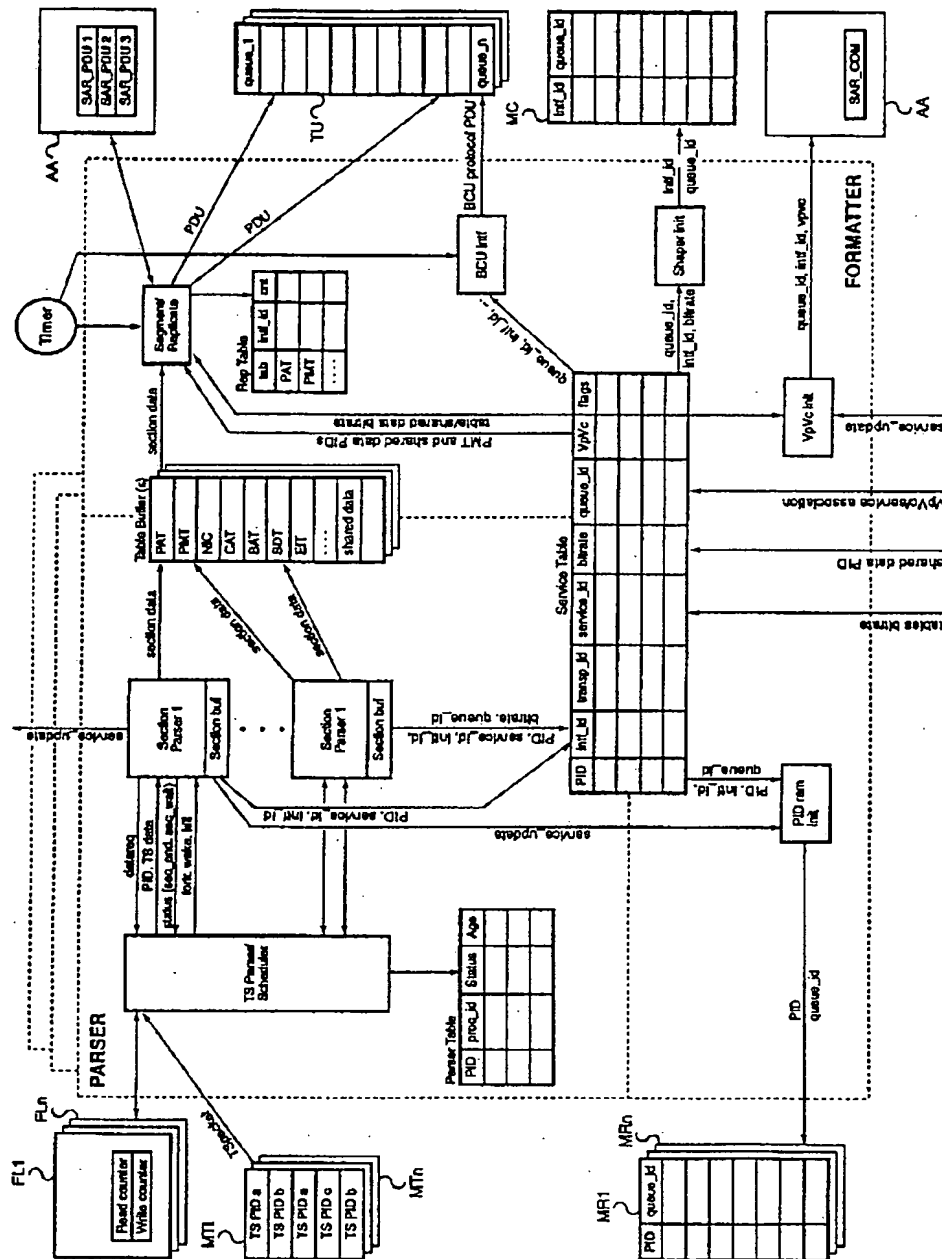
【図 9】



【図 10】



【図 11】



フロントページの続き

(71)出願人 500218987

イタルテル・エッセピーアー
 イタリア国 20154 ミラノ ヴィア ア
 ー ディ トックエヴィレ 13

(71)出願人 500218998

ジーマンス・インフォメーション・アン
 ド・コミュニケーション・ネットワーク
 ス・エッセ・ピー・アー
 イタリア国 20126 ミラノ ヴィレ
 ピエロ エ アルベルト ピレリ 10

(72)発明者 アキレ・モンタナロ
イタリア国 10141 トリノ シーエッセ
オトラパーニ 225
(72)発明者 ルイジ・モリ
イタリア国 20010 カネグラデーテ (ミラ
ノ) ヴィア テルニ 4

(72)発明者 ルシアーノ・ピラティ
イタリア国 10147 トリノ ヴィア ソ
スペッロ 123
(72)発明者 マウラ・トゥローラ
イタリア国 10040 アルメセ (トリノ)
ヴィア カステレット 19/3

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.